

OPEN

Compute Project

Intel Motherboard Hardware v2.0

Author: Harry Li, Engineer

Author: Amir Michael, Engineer

1 Scope

This document defines the technical specifications for the Intel motherboard used in Open Compute Project servers.

このドキュメントは、Open Compute Project のサーバーで用いられる、Intel マザーボードのテクニカル・スペックを定義するものである。

2 Contents

1 Scope	2
3 Overview	4
3.1 License	5
3.2 CAD Models	5
4 Entry Motherboard Features	5
4.1 Block Diagram	5
4.2 Placement and Form Factor	6
4.3 CPU and Memory	9
4.4 Platform Controller Hub.....	9
4.5 PCB Stackup	9
5 Efficient Performance Motherboard Features	11
5.1 Block Diagram	11
5.2 Placement and Form Factor	11
5.3 CPU and Memory	14
5.4 Platform Controller Hub.....	14
5.5 PCB Stackup	14
6 BIOS	16
6.1 BIOS Interface and Size	16
6.2 BIOS Socket	17
6.3 BIOS Source Code.....	17
6.4 BIOS Configuration and Features	17
6.5 BIOS Setup Menu	17

6.6 PXE Boot.....	18
6.7 Other Boot Options	18
6.8 Remote BIOS Update	18
6.9 Event Log.....	19
7 Hardware Monitoring	20
7.1 Thermal Sensors.....	21
7.2 Fan Connection	22
7.3 Fan Control Algorithm.....	22
8 Midplane.....	22
8.1 PSU Connector	22
8.2 Fan Connectors	24
8.3 Motherboard Connectors	24
8.4 Motherboard Power-up Delay	25
8.5 Hot Swap Controller.....	26
9 Power System	26
9.1 Input Voltage	26
9.2 CPU Voltage Regulation Module (VRM)	27
9.3 Hard Drive Power	28
10 I/O System	30
10.1 PCIe x16 Slot/Riser Card.....	30
10.2 PCIe External Connector	32
10.3 PCIe Mezzanine Card.....	33
10.4 DIMM Connector	36
10.5 Network	36
10.6 USB Interfaces.....	37
10.7 SATA.....	37
10.8 Debug Header	38
10.9 Switches and LEDs.....	40
11 Mechanical.....	42
11.1 Fixed Locations.....	43
11.2 PCB Thickness	43
11.3 Heat Sinks	44

11.4 Silkscreen	44
11.5 DIMM Connector Color	44
12 Environmental Requirements	44
12.1 Vibration and Shock	45
13 Prescribed Materials	45
13.1 Disallowed Components	45
13.2 Capacitors and Inductors	46
13.3 Component De-rating	46

3 Overview

When data center design and hardware design move in concert, they can improve efficiency and reduce power consumption. To this end, the Open Compute Project is a set of technologies that reduces energy consumption and cost, increases reliability and choice in the marketplace, and simplifies operations and maintenance. One key objective is openness—the project is starting with the opening of the specifications and mechanical designs for the major components of a data center, and the efficiency results achieved at facilities using Open Compute technologies.

データセンター・デザインとハードウェア・デザインが協調して動くとき、そこでは効率が改善され、また、電力消費量が低減される。この目的を達成するために、Open Compute Project はテクノロジーのセットとして機能することで、エネルギー消費およびコスト低減や、市場における信頼性と選択肢の拡大、そして、オペレーションとメンテナンスの単純化を実現していく。そこで、きわめて重要になるのが、オープン性である。つまり、このプロジェクトは、データセンターの主要コンポーネントに関するスペックおよびメカニカル・デザインをオープンにし、Open Compute テクノロジーを用いるファシリティで達成された効率をもオープンにしていく。

One component of this project is a custom motherboard. This document describes both Open Compute Project Intel motherboards: the Intel entry board and the Intel efficient performance board. The motherboard is power-optimized and barebones, designed to provide the lowest capital and operating costs. Many features found in traditional motherboards have been removed from the design.

このプロジェクトにおける 1つのコンポーネントは、カスタムなマザーボードである。このドキュメントは、Open Compute Project Intel マザーボードを構成する、Intel entry board と Intel efficient performance board について記載していく。このマザーボードは、低資本と運用コストの低減を実現するために、低電力に向けて最適化されたベアボーンである。従来からのマザーボードに見いだされる、数多くの特徴や機能は、このデザインから排除されている。

3.1 License

As of June 23, 2011, the following persons or entities have made this Specification available under the Open Web Foundation Final Specification Agreement (OWFa 1.0), which is available at <http://www.openwebfoundation.org/legal/the-owf-1-0-agreements/owfa-1-0>:

Facebook, Inc.

You can review the signed copies of the Open Web Foundation Agreement Version 1.0 for this Specification at <http://opencompute.org/licensing/>, which may also include additional parties to those listed above.

Your use of this Specification may be subject to other third party rights. THIS SPECIFICATION IS PROVIDED "AS IS." The contributors expressly disclaim any warranties (express, implied, or otherwise), including implied warranties of merchantability, noninfringement, fitness for a particular purpose, or title, related to the Specification. The entire risk as to implementing or otherwise using the Specification is assumed by the Specification implementer and user.

IN NO EVENT WILL ANY PARTY BE LIABLE TO ANY OTHER PARTY FOR LOST PROFITS OR ANY FORM OF INDIRECT, SPECIAL, INCIDENTAL, OR CONSEQUENTIAL DAMAGES OF ANY CHARACTER FROM ANY CAUSES OF ACTION OF ANY KIND WITH RESPECT TO THIS SPECIFICATION OR ITS GOVERNING AGREEMENT, WHETHER BASED ON BREACH OF CONTRACT, TORT (INCLUDING NEGLIGENCE), OR OTHERWISE, AND WHETHER OR NOT THE OTHER PARTY HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

3.2 CAD Models

The following CAD files are incorporated by reference as if fully set forth in this specification:

この仕様書で説明するが、以下の CAD ファイルが参照用として含まれる：

- TBD

4 Entry Motherboard Features

4.1 Block Diagram

Figure 1 illustrates the functional block diagram of the entry motherboard.

Figure 1 が示すのは、このマザーボード全体の機能ブロック・ダイアグラムである。

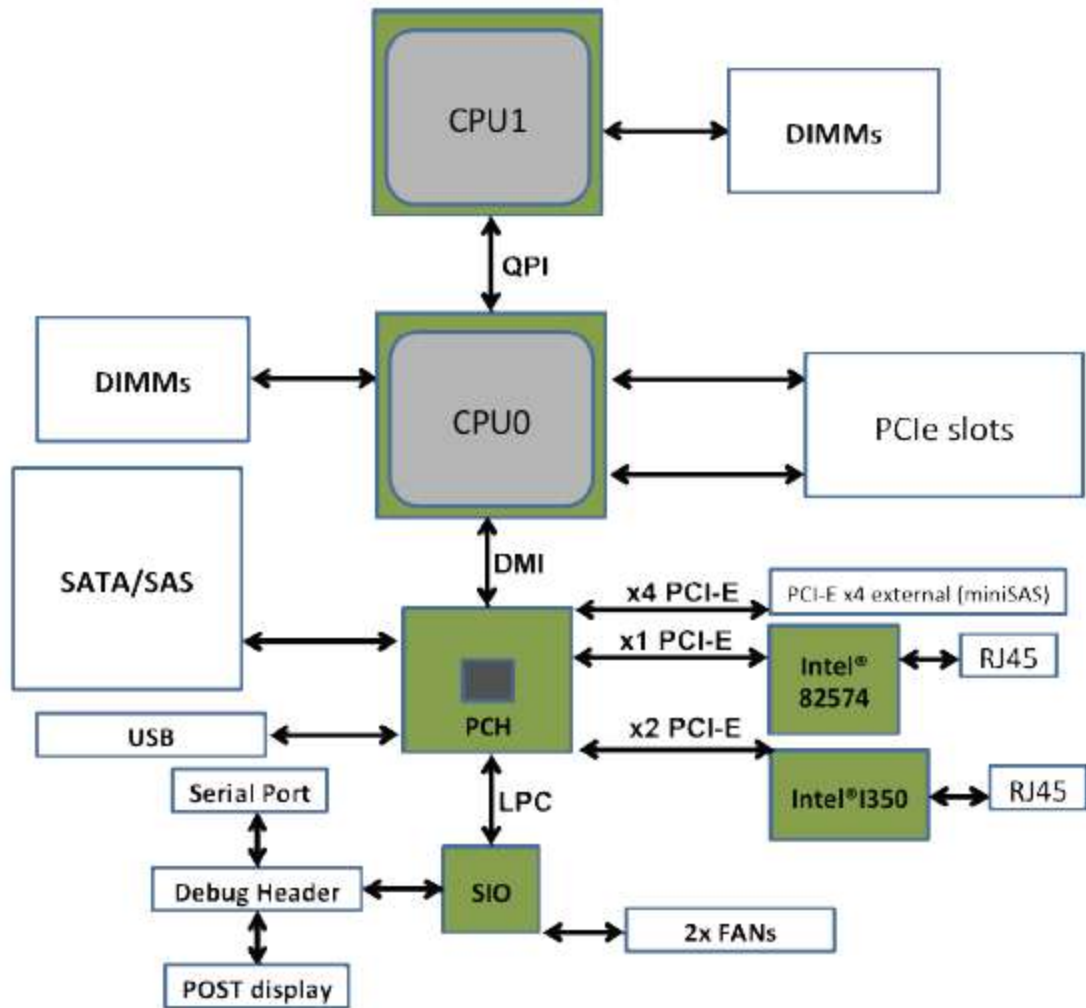


Figure 1 Entry Motherboard Functional Block Diagram

4.2 Placement and Form Factor

The motherboard's form factor is 6.5x20 inches. Figure 2 illustrates board placement. The placement shows the relative positions of key components, while exact dimension and position information is available in the mechanical DXF file. The ODM should strictly follow the form factor, PCIe slot position, front IO port positions, PCIe mezzanine card connector position, power connector, and mounting holes, while other components can be shifted based on layout routing as long as relative position is maintained. As shown in Figure 25, one Open Compute chassis accommodates two motherboards. In order to remove and install one board without affecting the other board, the following internal connectors are placed as close as possible to front of the board in order to have easy frontal access:

このマザーボードのサイズは、6.5 x 20 inchi である。Figure 2 は、このボードの配置図である。この配置は、主要コンポーネントの相対的なポジションを示すが、正確なサイズとポジションに関する情報は、mechanical DXF file で参照できる。この ODM は、フォーム・ファクターをトレースしていない。

具体的には、PCI スロットやフロント IO ポート、二層 PCI カード・コネクタ、電源コネクタ、マウンティング・ホールなどの位置が曖昧である。その一方で、主要コンポーネントにおける相対的な位置関係が維持される限り、その他のコンポーネントの位置は移動可能となる。Figure 25 に示されるように、1つの Open Compute シャシーには、2枚のマザーボードを収容できる。これら 2 枚のボードを別々に、相互に影響を与えることなく脱着するために、以下の内部コネクタを可能な限りボードの前部に配置し、容易なアクセスを保つようにする：

- One vertical SATA signal connector and one SATA power connector.
- Debug card header.

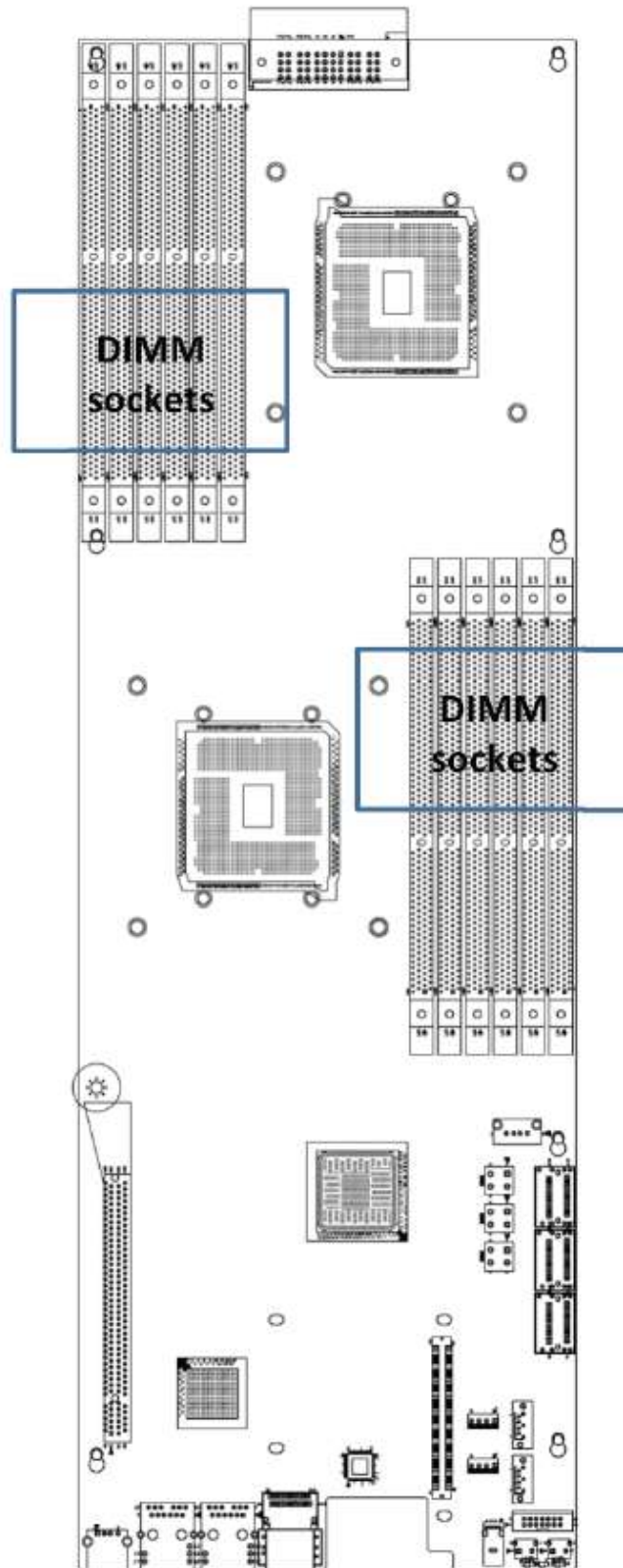


Figure 2 Entry Board Board Placement

4.3 CPU and Memory

The motherboard uses Intel next generation Intel® Xeon® processors. The motherboard supports these features:

このマザーボードは、次世代の Intel® Xeon®I プロセッサを用いる。さらに、このマザーボードは、以下の機能をサポートする：

- 2 Intel® processors
- 1 full-width Intel QuickPath interconnect (QPI) link
- Single Processor Mode
- DDR3 direct attached memory support on cpu0 and cpu1

4.4 Platform Controller Hub

The Freedom entry board uses the next generation Intel® platform controller hub (PCH), which supports the following features:

この Freedom エントリー・ボードは、以下の機能をサポートする Intel® PCH (platform controller hub) を使用する：

- USB ports
- Serial attached SCSI ports
- SPI interface
- SMBUS interface (master and slave)

4.5 PCB Stackup

The entry board's PCB stackup and impedance control are defined in the following tables.

このエントリー・ボードの PCB スタックとインピーダンス・コントロールは、以下の表で定義される。

Layer	Plane Description		Copper (oz)	Thickness (mil)	Dielectric (er)
		Solder Mask		0.5	3.8
L1	TOP	Signal	0.5+1.0	1.9	
		PrePreg		2.7	3.5
L2	GND1	Ground	2.0	2.6	
		Core		4.0	3.7
L3	IN1	Signal	1.0	1.3	
		PrePreg		25.0	4.4
L4	VCC1	Power	2.0	2.6	
		Core		4.0	4.1
L5	VCC2	Power	2.0	2.6	
		PrePreg		25.0	4.4
L6	IN2	Signal	1.0	1.3	
		Core		4.0	3.7
L7	GND2	Ground	2.0	2.6	
		PrePreg		2.7	3.5
L8	BOT	Signal	0.5+1.0	1.9	
		Solder Mask		0.5	3.8
		Total		85.2	Tolerance: +/-8mil

Figure 3 Entry Board PCB Stackup

Trace Width (mil)	Air Gap Spacing (mil)	Impedance Type	Layer	Impedance Target (ohm)	Tolerance (+/- %)
4.0		Single	1,8	50	15.0
6.5		Single	1,8	40	15.0
5.0		Single	1,8	43	15.0
3.9	4.1	Differential	1,8	83	17.5
3.8	8.2	Differential	1,8	95	17.5
5.0	7.0	Differential	1,8	85	17.5
4.0		Single	3,6	53	10.0
4.5		Single	3,6	50	10.0
5.0		Single	3,6	48	10.0
8.0		Single	3,6	38	10.0
3.9	4.1	Differential	3,6	85	12.0
4.4	9.1	Differential	3,6	95	12.0
5.0	6.5	Differential	3,6	85	12.0

Figure 4 Entry Board PCB Impedance Control

5 Efficient Performance Motherboard Features

5.1 Block Diagram

Figure 5 illustrates the functional block diagram of the efficient performance motherboard.

Figure 5 が示すのは、このマザーボード全体の機能ブロックダイアグラムである。

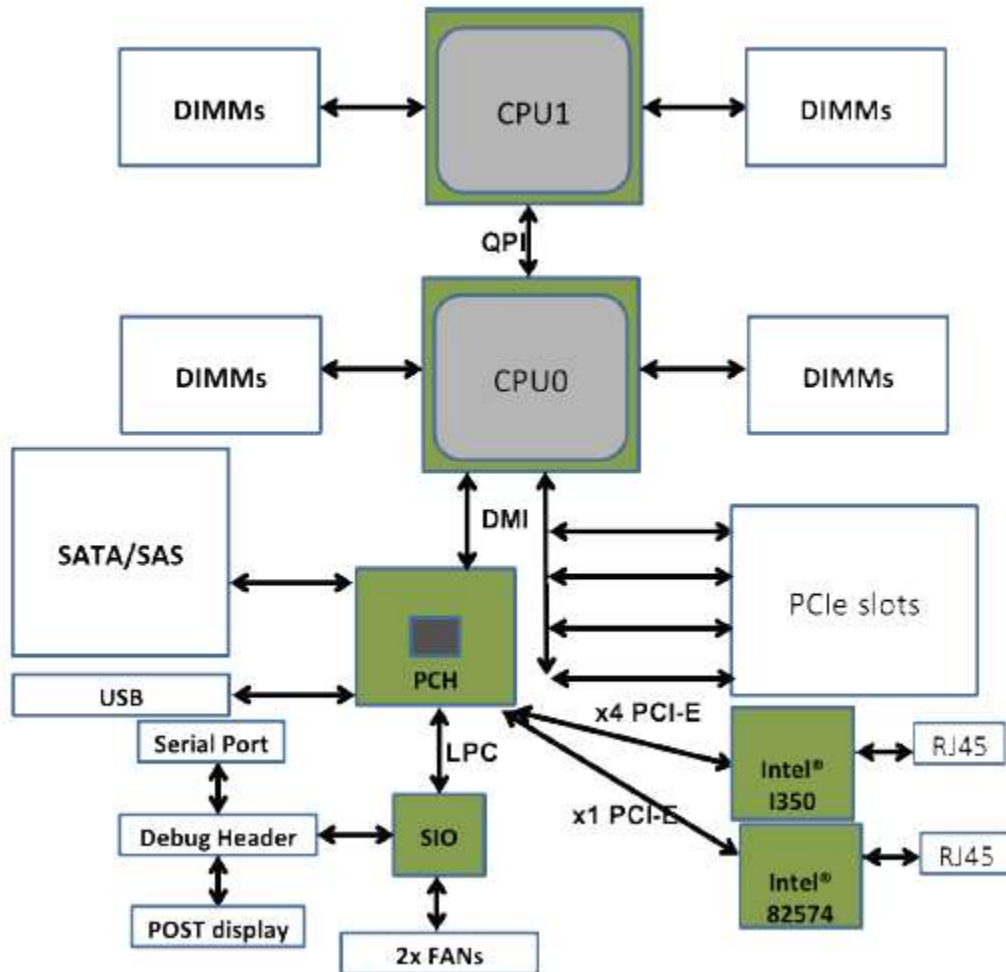


Figure 5 Efficient Performance Motherboard Functional Block Diagram

5.2 Placement and Form Factor

The motherboard's form factor is 6.5x20 inches. Figure 6 illustrates board placement. The placement shows the relative positions of key components, while exact dimension and position information is available in the mechanical DXF file. Form factor, PCIe slot position, front IO port

positions, PCIe mezzanine card connector position, power connector, and mounting holes should be followed strictly, while other components can be shifted based on layout routing as long as relative position is maintained. As shown in Figure 25, one Open Compute chassis accommodates two motherboards. In order to remove and install one board without affecting the other board, the following internal connectors are placed as close as possible to front of the board in order to have easy frontal access:

このマザーボードのフォーム・ファクターは、6.5 x 20 inch である。Figure 6は、このボード内の配置を示す。この配置は、主要コンポーネントの相対的なポジションを示すが、正確なサイズとポジションに関する情報は、mechanical DXF file で参照できる。この ODM は、フォーム・ファクターをトレースしていない。具体的には、PCI スロットやフロント IO ポート、二層 PCI カード・コネクタ、電源コネクタ、マウンティング・ホールなどの位置が曖昧である。その一方で、主要コンポーネントにおける相対的な位置関係が維持される限り、その他のコンポーネントの位置は移動可能となる。Figure 25 に示されるように、1つの Open Compute シャシーには、2枚のマザーボードを収容できる。これら 2 枚のボードを別々に、相互に影響を与えることなく脱着するために、以下の内部コネクタを可能な限りボードの前部に配置し、容易なアクセスを保つようにする：

- One vertical SATA signal connector and one SATA power connector.
- Debug card header.

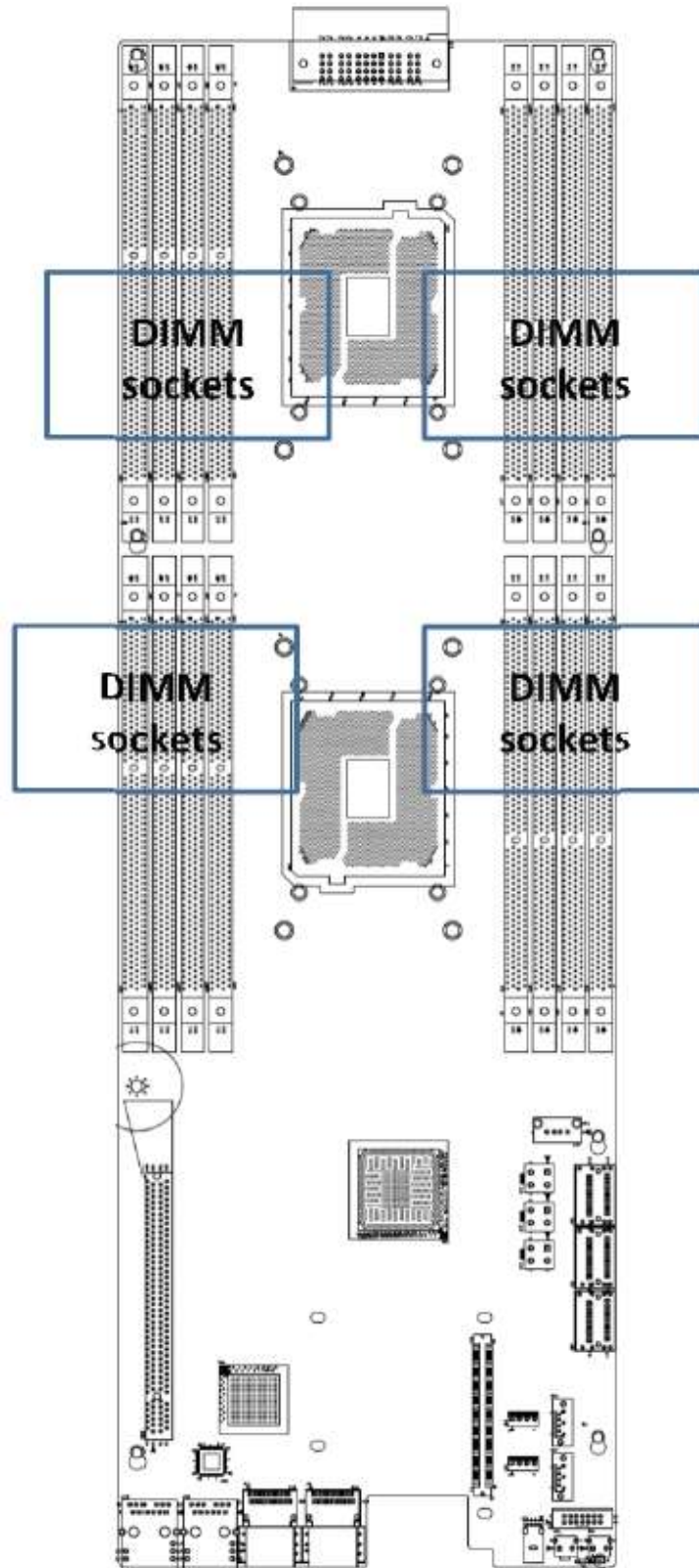


Figure 6 Efficient Performance Board Placement

5.3 CPU and Memory

The board uses next generation Intel® Xeon® processors. It supports these features:

このマザーボードは、次世代の Intel® Xeon®I プロセッサを用いる。さらに、このマザーボードは、以下の機能をサポートする：

- 2 Intel® processors
- Single Processor Mode
- DDR3 direct attached memory support on cpu0 and cpu1

5.4 Platform Controller Hub

The Freedom efficient performance board uses the next generation Intel® platform controller hub (PCH), which supports the following features:

この Freedom エントリー・ボードは、以下の機能をサポートする Intel® PCH (platform controller hub) を使用する：

- USB ports
- Serial attached SCSI ports
- SPI interface
- SMBUS interface (master and slave)

5.5 PCB Stackup

The efficient performance board's PCB stackup and impedance control are defined in the following tables.

このエントリー・ボードの PCB スタックとインピーダンス・コントロールは、以下の表で定義される。

Layer	Plane Description		Copper (oz)	Thickness (mil)	Dielectric (er)
		Solder Mask		0.5	3.8
L1	TOP	Signal	0.5+1.0	1.9	
		PrePreg		2.7	3.5
L2	GND1	Ground	1.0	1.3	
		Core		4.0	3.6
L3	IN1	Signal	1.0	1.3	
		PrePreg		7.7	4.0
L4	GND2	Ground	1.0	1.3	
		Core		4.0	3.6
L5	IN2	Signal	1.0	1.3	
		PrePreg		12.0	4.3
L6	VCC1	Power	2.0	2.6	
		Core		4.0	3.6
L7	VCC2	Power	2.0	2.6	
		PrePreg		12.0	4.3
L8	IN3	Signal	1.0	1.3	
		Core		4.0	3.6
L9	GND3	Ground	1.0	1.3	
		PrePreg		7.7	4.0
L10	IN4	Signal	1.0	1.3	
		Core		4.0	3.6
L11	GND4	Ground	1.0	1.3	
		PrePreg		2.7	3.5
		Solder Mask		0.5	3.8
		Total		85.2	Tolerance: +/-8mil

Figure 7 Efficient Performance PCB Stackup

Trace Width (mil)	Air Gap Spacing (mil)	Impedance Type	Layer	Impedance Target (ohm)	Tolerance (+/- %)
4.0		Single	1,12	50	15.0
6.5		Single	1,12	40	15.0
5.0		Single	1,12	43	15.0
3.9	4.1	Differential	1,12	83	17.5
3.8	8.2	Differential	1,12	95	17.5
5.0	7.0	Differential	1,12	85	17.5
4.1	13	Differential	1,12	100	10
4.0		Single	3,5,8,10	53	10.0
4.5		Single	3, 5,8,10	50	10.0
5.0		Single	3, 5,8,10	48	10.0
8.0		Single	3, 5,8,10	38	10.0
3.9	4.1	Differential	3, 5,8,10	85	12.0
4.4	9.1	Differential	3, 5,8,10	95	12.0
5.0	6.5	Differential	3, 5,8,10	85	12.0
4.1	13	Differential	3, 5,8,10	100	10.0

Figure 8 Efficient Performance PCB Impedance Control

6 BIOS

The ODM is responsible for supplying and customizing a BIOS for the motherboard. The specific BIOS requirements are outlined in this section.

この ODM は、対象となるマザーボードに BIOS を供給し、また、カスタマイズするという役割を担う。なお、特定の BIOS 要件についても、このセクションで概説していく。

6.1 BIOS Interface and Size

The BIOS chip uses the platform controller hub's SPI interface. The ODM is responsible for selecting a specific BIOS chip that meets the required functionality. 16MB of space should be allocated for both the BIOS and the PCH management engine.

この BIOS チップは、プラットフォーム・コントローラー・ハブの SPI インタフェースを使用する。この ODM は、要求する機能を満たす BIOS チップを、選択するという役割を担う。BIOS と PCH マネージメント・エンジンに対して、16 MB のメモリ空間が割り当てられるべきである。

6.2 BIOS Socket

A socket on the motherboard must be used to mount the BIOS chip to ensure that the BIOS chip can be replaced manually. The BIOS socket is easily accessible; other components on the motherboard do not interfere with the insertion or removal of the BIOS chip. A DIP-type BIOS chip and compatible socket are used for easy insertion and removal.

マザーボード上のソケットにより BIOS チップをマウントし、手作業による BIOS チップの差し替えを保証する必要がある。BIOS ソケットへの、容易なアクセスを可能にする。つまり、マザーボード上の他のコンポーネントは、BIOS チップの挿入／撤去に干渉しない。DIP-type BIOS チップと互換性があるソケットを、容易な挿入／撤去を可能にするために用いる。

6.3 BIOS Source Code

The BIOS source code comes from AMI EFI. The ODM is responsible for maintaining the BIOS source code to make sure it has the latest version from AMI and Intel.

この BIOS ソースコードは、AMI EFI から提供されるものを用いる。この ODM は BIOS ソースコードを保守し、AMI と Intel からの最新バージョンの供給を確実に行うという役割を担う。

6.4 BIOS Configuration and Features

The BIOS is tuned to minimize system power consumption. It has the following features:

この BIOS は、システムの電力消費量を最小にするために調整される。そして、以下の特徴を持つ：

- Unused devices disabled, including PCIe lanes, PCI lanes, USB ports, SATA/SAS ports
- Tuning CPU/chipset settings to reach minimized power consumption and best performance
- SPECpower is used as guidance for ODM to validate BIOS tuning results

6.5 BIOS Setup Menu

The ODM must provide a BIOS specification, which includes the complete BIOS, setup menu, and default settings. The setup menu allows its options to be configured before the operating system loads. The configuration options available through the boot menu include the following:

この ODM は、完全な BIOS および、セットアップ・メニュー、デフォルト設定を含む、BIOS 仕様を提供しなくてはならない。このセットアップ・メニューにより、オペレーティング・システムがロードされる前に、コンフィグレーションを行うオプションが実現される。このコンフィグレーションの選択は、以下の項目を取り込んだブートメニューを介して使用可能となる：

- Settings to adjust memory speed, QPI speed, Speed-step/Turbo mode, and CPU Cx power state.
- Setting for power feature after AC failure, default is set to power on.
- Settings for console redirection:
 - PCH Virtual COM port: With baud rate 115200, no flow control, and terminal type VT100.
 - SIO COM1: With baud rate 57600, no flow control and terminal type VT100.
 - Auto: The PCH virtual COM port is enabled by default. The BIOS switches to SIO COM1 automatically, depending on hardware strapping. Default option is "Auto".
- Setting for fan speed control (for SIO FSC enabled board only).
- Setting for altitude of server deployment location.
- Hardware health monitoring display.
- Setting for watchdog timer. Default is enabled and timeout value is 15 minutes.
- Event log viewing and clearing.
- Setting for ECC error threshold, available settings are 1, 4, 10, and 1000.
- If a CMOS checksum error occurs (for example, caused by BIOS update), the BIOS loads the system default automatically after displaying a message in the console for 5 seconds and rebooting the system to apply the update without waiting for user input.
- Setting to disable all "wait for keyboard input to continue" types of features.

6.6 PXE Boot

The BIOS supports Intel PXE boot. When PXE booting, the system first attempts to boot from the first Ethernet interface (eth0). If a PXE boot on the first Ethernet interface fails, the BIOS attempts to PXE boot from the second Ethernet interface (eth1).

このBIOS は、Intel PXE ブートをサポートする。PXE がブートされるとき、システムは最初に、1 番目の Ethernet インタフェース (eth0) から起動しようと試みる。そして、1 番目の Ethernet インタフェース PXE ブートが失敗するなら、2 番目の Ethernet インタフェース (eth1) をブートする。

6.7 Other Boot Options

The BIOS also supports booting from SATA/SAS and USB interfaces. The BIOS provides the capability to select boot options.

さらに、この BIOS は、SATA / SAS および USB インタフェースからのブートもサポートする。この BIOS は、ブート・オプションの選択機能も提供する。

6.8 Remote BIOS Update

The BIOS can be updated remotely under these scenarios:

この BIOS は、以下のシナリオにより、リモートでアップデートされる：

- Scenario 1: Sample/Audit BIOS settings
 - Return current BIOS settings, or
 - Save/export BIOS settings in a human-readable form that can be restored/imported (as in scenario 2)
- Scenario 2: Update BIOS with pre-configured set
 - Update/change multiple BIOS settings
 - Reboot
- Scenario 3: BIOS/firmware update with a new revision
 - Load new BIOS/firmware on machine and update, retaining current BIOS settings
 - Reboot

Additionally, the update tools have the following capabilities:

それに加えて、アップデート・ツールにより、以下の機能がサポートされる：

- Update from the operating system over the LAN – the OS standard is CentOS v5.2
- Can complete BIOS update or setup change with a single reboot (no PXE boot, no multiple reboots)
- No user interaction (like prompts)
- BIOS updates and option changes do not take longer than five minutes to complete
- Can be scripted and propagated to multiple machines

6.9 Event Log

An event log is available through SMBIOS.

イベント・ログに関して、SMBIOS を介して提供される。

Per SMBIOS specification Rev 2.6, the BIOS implements SMBIOS type 15 for an event log; the assigned area is large enough to hold more than 500 event records (assuming the maximum event record length is 24 bytes, then the size will be larger than 12KB), and follow the SMBIOS event log organization format for the event log.

Rev 2.6 スペックの SMBIOS ごとに、この BIOS はイベント・ログ SMBIOS type 15 を実装する。ここで割り当てられる領域は、500以上のイベント・レコード（最大のイベント・レコードは 24 Byte 長であり、そのサイズは 12 KB 以上になるだろう）を保持するだけの十分なサイズを持ち、また、イベント・ログのための SMBIOS Event Log Organization Format に対応する。

The ODM must provide a system access interface and application software to retrieve and clear the event log from the BIOS, including, at minimum, a Linux application for the CentOS operating system and driver as needed. The event log must be retrieved and stored as a readable text file that is easy to handle by a scripting language under Linux. Each event record includes enhanced information identifying the error source device's vendor ID and device ID.

この ODM は、BIOS からイベント・ログを取り出し、また、クリアするためのシステム・アクセス・インタフェースとアプリケーション・ソフトウェアを提供しなくてはならない。最小限において、CentOS オペレーティング・システムにおけるLinux アプリケーションを含み、また、必要に応じたドライバを取り込むことになる。このイベント・ログは、Linux のスクリプト言語により容易に処理できる、テキスト・ファイルとして抽出／保存される必要がある。それぞれのイベント・レコードは、デバイス・ベンダー ID とデバイス ID を、エラーソースとして識別するための、拡張された情報を含む。

6.9.1 Logged Errors

- CPU/Memory errors: Both correctable ECC and uncorrectable ECC errors should be logged into the event log. Error categories include DRAM, Link, and L3 cache. . QPI errors: Any errors that have a status register should be logged into the event log. Fatal or non-fatal classification follows the chipset vendor's recommendation.
- PCIe errors: Any errors that have a status register should be logged into the event log, including root complex, endpoint device, and any switch upstream/downstream ports if available. Link disable on errors should also be logged. Fatal, non-fatal, or correctable classification follows the chipset vendor's recommendation.
- POST errors: All POST errors detected by the BIOS during POST are logged into the event log.
- Power errors: Two power errors are logged:
 - 12.5V DC input power failure that causes all power rails on motherboard to lose power, including standby power.
 - Unexpected system shutdown during system S0/S1 while 12.5V DC input is still valid.

6.9.2 Error Threshold Settings

An error threshold setting must be enabled for both correctable and uncorrectable errors. Once the programmed threshold is reached, an event should be triggered and logged.

- Memory Correctable ECC: The threshold value is 1000. When the threshold is reached, the BIOS should log the event including DIMM location information and output DIMM location code through the debug card.
- QPI errors: Follow the chipset vendor's suggestion.
- PCIe errors: Follow the chipset vendor's suggestion.

6.9.3 BIOS Error Codes

MRC fatal error codes should be enabled for POST code output. The major and minor codes alternately display.

7 Hardware Monitoring

The motherboard does not employ a traditional out of band monitoring solution. The ODM needs to provide a system access interface and application to retrieve hardware monitoring sensor readings. Lm_sensors is the preferred tool for hardware monitoring under Linux; the

ODM ensures Lm_sensors works. The sensors to be read include voltage, temperature, and fan speed.

このマザーボードは、バンド・モニタリング・ソリューション以外の、従来からのものは用いない。この ODM は、ハードウェア・モニタリング・センサーが読み込んだデータを抽出するための、システム・アクセス・インタフェースとアプリケーションを提供する必要がある。Lm_sensors は、Linux におけるハードウェア・モニタリングのために推奨されるツールである。つまり、この ODM は Lm_sensors の効果を保証する。読み込むべきセンサー・データには、電圧／温度／ファンス・ピードが含まれる。

The NCT6681 serves as both the super IO (SIO) and hardware monitor.

NCT6681 は、Super IO (SIO) とハードウェア・モニターを提供する。

7.1 Thermal Sensors

The motherboard has five thermal sensors:

このマザーボードは、5つの温度センサーを持つ：

- Two to monitor temperatures for CPU0 and CPU1, retrieved through the CPU's emperature sensor interface (PECI)
- PCH temperature, retrieved through the Intel® controller hub's internal DTS, through PCH SMLink1
- Inlet temperature, retrieved through the thermistor, and located in the front of the motherboard
- Outlet temperature, retrieved through the thermistor, and located in the rear of the motherboard

The sensors should make sure that no CPU throttling is triggered due to thermal issues, under the following environmental conditions:

このセンサーは、次の環境条件の下で、CPU を実装していないスロットに、熱問題のトリガーが生じないことを確認すべきである：

- Inlet temperature lower than 30C (including 30C), and 0 inch H2O pressure
- Inlet temperature higher than 30C but lower than 35C (including 35C), and 0.01 inch H2O pressure

The sensors should make sure that the total airflow rate for the chassis is lower than 89CFM, including PSU.

このセンサーは、対象となるシャシーンに対する全体的なエアーフロー気流レートが、PSU を含めて、89CFM より低いことを確認すべきである。

In the event that one fan fails, an inlet temperature of 30C with 0 inch H2O pressure environment is used to verify thermal sensors.

1台のファンが故障するという状況において、0 inch H2O pressure で、30C のインレット気温が、熱センサーを確認するために使われる。

7.2 Fan Connection

The motherboard has fan tachometers and PWM connections to two system fans through the midplane. See section 8.2.

このマザーボードは、2台のシステム・ファンに midplane を介して、ファン・タコメーターと PWM を接続する。詳細に関しては、Section 8.2 を参照。

7.3 Fan Control Algorithm

The motherboard supports auto fan speed control for the system fans connected to it.

The ODM must provide an optimized fan control algorithm based on the thermal solution of the system including fan, heat sink, and air duct. Fan speed control should set system fans running at lowest speed and provide enough damping to avoid speed vibration.

このマザーボードは、システム・ファンに接続される、自動ファン・スピード・コントロールをサポートする。この ODM は、ファン/ヒートシンク/エア・ダクトを含めて、システムの熱ソリューションに基づき最適化された、ファン・コントロール・アルゴリズムを提供しなくてはならない。ファンのスピード・コントロールは、最も低い回転数を実現し、また、回転速度に対する防振に対応するよう、システム・ファンを設定すべきである。

8 Midplane

The midplane is a PCB that functions as a bridge between the system fans, power supply (PSU), and both motherboards. Its form factor is 2x13 inches.

この midplane は、システム・ファンおよび Power Supply (PSU) と、2枚のマザーボードの間で、ブリッジとして機能するPCB である。そのフォーム・ファクターは、2 x 13 inch となる。

8.1 PSU Connector

The midplane has one FCI 51939-582 male right angle header, which is mated directly with the PSU for 12.5VDC input. Figure 9 shows the pin definition and direction based on the PSU.

Pin # Signal

この midplane は、12.5 VDC 入力する PSU と対になる、FCI 51939-582 オス型直角ヘッダーを持つ。Figure 9 は、この PSU ベースの、ピンの定義と方向を示す

Pin # Signal

Pin #	Signal	Direction	Description	Usage
P1, P2	P12V	Power	12.5VDC	12.5VDC
P3, P4	GND	Power	Ground	Ground
A1	AUX_RTN_GND		Signal return	NC
A2	BACKUP_N	Output	PSU backup mode indication	NC
B1	SHARE_SEL_1	Input	PSU mode selection	NC
B2	SHARE_SEL_2	Input	PSU mode selection	NC
C1	GREEN_LED_N	Output	Low active	Connect to bi-color LED
C2	YELLOW_LED_N	Output	Low active	Connect to bi-color LED
D1	RED_LED_N	Output	Low active	Connect to LED
D2	P5V_AUX	Power	5V for LED, 50mA limited	LED power

Figure 9 Midplane to PSU Connector Pin Definition

For the PSU LED, the midplane provides a 4-pin vertically shrouded 2.54mm pitch header with latch. This allows an LED cable to extend the PSU LED to the chassis front. The PSU connector pins C1 and C2 connect to one bi-color (green/yellow) LED with a common anode. Pin D1 is connected to one red LED. Pin D2 is 5V and used for an LED anode. Both are 3mm LEDs. A current limit resistor is required for each LED signal.

この midplane は PSU LED に対して、覆い付きの垂直 4ピンの2.54 mm ピッチ・ヘッダーに提供する。それにより、LED ケーブルをシャシーのフロントまで延長し、そこに PSU LED を配置できる。PSU コネクタのピン C1 および C2 は、一般的な陽極で 2色（緑 / 黄色）の LED と接続できる。ピン D1 は、赤い LED に接続している。ピン D2 は 5V であり、LED 陽極のために用いられる。いずれも、3mm の LED となる。それぞれの LED シグナルのために、電流制限の抵抗素子が必要とされる。

Pin	Description
1	GREEN_LED_N
2	YELLOW_LED_N
3	RED_LED_N
4	P5V_AUX

Figure 10 PSU LED Header Pin Definition

When the PSU's red LED blinks (at 1Hz, 50% duty-cycle), it indicates a PSU fan failure.

PSU の 赤 LED が点滅するときは (1Hz, 50% の負荷サイクル)、PSU ファンの障害を示している。

8.2 Fan Connectors

The midplane has connectors for the four system fans. The connector signals comply both mechanically and electrically with the specifications defined in the 4-Wire Pulse Width Modulation (PWM) Controlled Fans Specification Revision 1.3 September 2005 published by Intel Corporation. Each fan is driven by a dedicated PWM signal. Figure 11 defines the proper pin out of the connector.

この midplane は、4つのシステム・ファンに接続するコネクタを持っている。コネクタ・シグナルは、Intel Corporation から発行された 4-Wire Pulse Width Modulation (PWM) Controlled Fans Specification Revision 1.3 September 2005 で定義される仕様に、機械／電気の両面においてしたがうものである。それぞれのファン、専用の PWM シグナルにより駆動される。Figure 11 が示すのは、コネクタ上のピン定義である。

Pin	Description
1	GND
2	12VDC
3	Sense
4	Control

Figure 11 Fan Header Pin-out

A fan tachometer signal from each fan is routed to acquire fan speed. The midplane directly delivers 12.5V power to the fan connector. If one motherboard is not powered on, then its two corresponding fans are turned off to save power.

それぞれのファンから送られる、ファン・タコメーター・シグナルは、ファン・スピードを得るためにルーティングされていく。この midplane は、ファン・コネクタに対して、12.5V の電力を供給する。もし、一方のマザーボードに電力が供給されない状況にあるなら、それに対応する 2つのファンは、電力の節約のために OFF される。

8.3 Motherboard Connectors

The midplane has two FCI 51770-044 female right-angle power/signal connectors (2P+16S+2P: 4 power blades and 16 signals). The motherboard -- with the mated FCI 51730-162 male right angle header -- slides in and mates with one of the FCI headers on the midplane. Figure 12 shows the pin definition of the 2P+16S+2P connector; the direction is based on the midplane.

この midplane には、2つの FCI 51770-044 メス型直角 Power/Signal コネクタが実装される (2P+16S+2P: 4 power blades and 16 signals) 。このマザーボードは (FCI 51730-162 オス型直

角ヘッダー) スライド・インし、midplane 上の FCI ヘッダーと接続される。Figure 12 が示すのは、2P+16+2P コネクターのピン定義であり、また、その方向は、midplane をベースにしている。

Pin #	Signals	Direction	Description
P1, P2	P12V	Power	12.5VDC
P3, P4	GND	Power	Ground
A1	SMB_ALT_N	Output	SMBUS alert signal from hot-swap controller
A2	TACH1A	Output	Reserved for extra fan tachometer on FAN1
A3	TACH2A	Output	Reserved for extra fan tachometer on FAN2
A4	RSVD		Reserved for future
B1	SCLK	Bi-direction	SMBUS CLOCK
B2	SDATA	Bi-direction	SMBUS DATA
B3	MB_ON	Input	Indicates that motherboard starts powered on
B4	PSU_PG	Output	Indicates that PSU 12.5VDC output is ready
C1	FAN1_TACH	Output	System fan #1 tachometer
C2	FAN1_PWM	Input	System fan #1 PWM
C3	FAN2_TACH	Output	System fan #2 tachometer
C4	FAN2_PWM	Input	System fan #2 PWM

D1 (short pin)	MATED_N	Input	Low active, indicates motherboard is fully mated
D2	MATED_GND_RTN		Connected to GND in midplane
D3	MB_ID	Output	Motherboard ID = 0 (left), 1 (right)
D4	FAN_FAIL_N	Output	PSU fan failure detected

Figure 12 Midplane to Motherboard Connector Pin Definition

8.4 Motherboard Power-up Delay

While running on AC power, in order to avoid both motherboards powering up at the same time and drawing larger than normal current, the mid plane introduces a delay between the 12.5V power delivered to each of the two motherboards. The delay time can be set between 1 second and 1 minute, with 30 seconds as the default configuration.

AC パワーで駆動されるにもかかわらず、マザーボードの消費電力を抑え、また、通常以上の電流消費を避けるために、この midplane は遅延を用いながら、12.5V 電力を 2つのマザーボードに供給する。遅延時間は、30秒がデフォルトであり、1秒～1分の間で設定できる。

The power-up delay behaves as follows:

この、電力供給に関する遅延は、以下のように実施される：

- When both MB0 and MB1 are installed and AC power is applied, MB0 powers on first, then after 30 seconds (the timer delay), MB1 powers on.
- When both MB0 and MB1 are operating, and you remove and re-insert a motherboard, there is no delay for it to power on again.
- When only MB0 is installed and AC power is applied, there is no delay when it powers on.
- When only MB1 is installed and AC power is applied, there is no delay when it powers on.
- With one motherboard is operating, and another motherboard is inserted, there is no delay when it powers on.
- If no motherboards are installed and AC power is applied, then both MB0 and MB1 are inserted, there is a 30 second timer delay between MB0 and MB1 powering on.

8.5 Hot Swap Controller

In order to have better control of the 12.5VDC power input to each motherboard, the ODM should include two hot swap controllers (one for each motherboard) on the mid plane. The hot swap controller provides:

それぞれのマザーボードに、12.5 VDC を最適に入力するために、この ODM では、midplane 上に個々のマザーボード用として、2つのホット・スワップ・コントローラーを取り込むべきである。このホット・スワップ・コントローラーは、以下の機能を提供する：

- Inrush current control when the motherboard is inserted and the server is powered on.
- Current limiting protection for short circuit.
- PMBUS interface to enable the PCH to report server input power.

9 Power System

9.1 Input Voltage

9.1.1 Input Voltage Level

The nominal input voltage delivered by the power supply is 12.5VDC. The motherboard can accept and operate normally with an input voltage tolerance range between 10.8V and 13.2V. The motherboard's under voltage protection level is 10V or less.

この電源から供給される公称の電圧は、12.5 VDC である。そして、このマザーボードの通常入力電圧は、10.8V ~ 13.2V の許容の範囲を受け入れ、運用することが可能である。また、このマザーボードの電圧保護レベルは、10V 以下となっている。

9.1.2 Capacitive Load

To ensure compatibility with the system power supply, the motherboard cannot have a capacitive load greater than 4000 μ F. The capacitive load of the motherboard cannot exceed the maximum value of 4000 μ F under any operating condition listed in section 12, which defines environmental conditions.

対象システムにおける電力供給と互換性を保証するために、このマザーボードは、4000の μ F 以上の容量性負荷を持つことができない。このマザーボードの容量性負荷は、環境条件を定義する Section 12 にリストアップされる、あらゆる運用条件の下において、4000の μ F という最大値を超えることができない。

9.1.3 Input Connector

The power input connector is an FCI 51733-009LF right-angle press-fit header.

この電力入力コネクタは、FCI 51733-009LF の直角 press-fit ヘッダーを持つ。

9.2 CPU Voltage Regulation Module (VRM)

9.2.1 CPU Maximum Power

The motherboard can handle a processor with a maximum thermal design power (TDP) of 95W.

このマザーボードは、最大で 95W の TDP (thermal design power) において、プロセッサをハンドリングできる。

9.2.2 CPU VRM Optimizations

The CPU VRM is optimized to reduce cost and increase the efficiency of the power conversion system. The ODM should use only the minimum number of required phases to support the maximum CPU power defined in 9.2.1. A PSI (power state indicator) allows the shedding of unused phases, letting the VRM operate at its peak efficiency.

ここでの CPU VRM は、電力変換システムのコストを削減し、効率を高めるために最適化される。したがって、この ODM では、9.2.1 で定義される、最大 CPU パワーをサポートするための、最小値だけを使うべきである。PSI (power state indicator) は、未使用フェーズの排除を許可するため、VRM の運用は効率を最優先させることが可能となる。

9.2.3 CPU VRM Efficiency

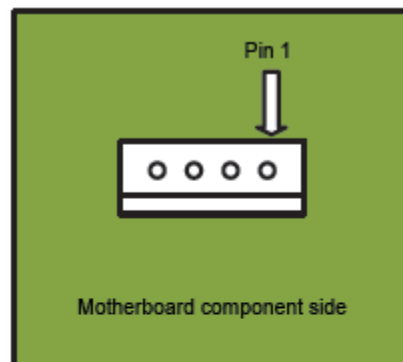
The minimum efficiency for the CPU VRM is 91% over the 30% to 90% load range and 93% over the 50% to 70% load range, measured from the 12.5V input to the VRM output.

この CPU VRM のための最小限の効率は、12.5V を入力する VRM の出力を測定する際に、30% ～ 90% の負荷時において 91% であり、50% ～70% の場合で 93% とする。

9.3 Hard Drive Power

The motherboard supplies power to the system's 14 hard drives. The drives require 12VDC and 5VDC power sources. Power is delivered through a traditional 4-pin floppy disk power connector described in Figure 13.

このマザーボードは、システム内の 14 台のハード・ドライブに対して電源を供給する。それらのドライブは、12VDC および 5VDC の電源を必要とする。Figure 13 に示されるように、従来からの 4 ピンのフロッピー・ディスクカ・コネクタを介して、電力は供給される。



Pin	Description
1	+5VDC
2	GND
3	GND
4	+12VDC

Figure 13 Drive Power Connector

For SATA ports inside the miniSAS connector, power will be delivered through a 4-pin (2x2) ATX power connector, which fans out into 4 standard SATA power cables. Pin definition is described in Figure 14.

SATA ポートに取り込まれた miniSAS コネクタに関しては、4本の標準 SATA 電力ケーブルの中に論理出力される、4ピンの（2x2）ATX 電源コネクタを介して、電力は供給される。Figure 14 に、そのピン定義を示す。

Pin	Description
1	GND
2	GND
3	+5VDC
4	+12VDC

Figure 14 4 Pin ATX Power Connector

9.3.1 Power Requirements

In order for the motherboard to supply 12.5VDC power to the hard drives, the PCB traces must support 14A of continuous power (1A per drive) on the 12.5VDC power rail. In order for the system's 5VDC to supply power to the hard drives, its regulator must support an additional 10.5A (0.75A per drive) of continuous power on the 5VDC power rail. The motherboard must support the inrush current required to start each drive from idle.

マザーボードからハードドライブへ向けて、12.5 VDC の電力を供給するために、この PCB は 12.5 VDC パワー回路上で、継続的に 14A（ドライブごと 1A）をサポートする必要がある。また、このシステムから 5VDC をハード・ドライブに供給するために、5VDC パワー回路上で、継続的に 10.5A（ドライブごと 0.75A）をサポートする必要がある。また、このマザーボードは、アイドル状態のドライブを始動させるために、突入電流をサポートする必要がある。

9.3.2 Output Protection

The 5V disk output power regulator protects against shorts and overload conditions.

5V ディスク出力レギュレータは、短絡および過負荷から保護される。

9.3.3 Spin-up Delay

When a hard drive spins up after the system powers on, it draws excessive current on both the 12V and 5V rails. The peak current may reach the 1.5A-2A range in 12V. Each of the 14 hard drives must spin up in sequence. The BIOS implements a 5 second delay between each hard drive spinning up. To enable the hard drive's spin-up delay function, set pin 11 of the SATA hard drive's power cable to NC (No Connection).

システムがパワーオンされ、ハード・ドライブが立ち上がる時12V と 5V の回路において過度の電流が引き出される。ピーク電流は、12V のケースで1.5A～2A の範囲に達するかもしれない。つまり、14 台のハード・ドライブは、順番に立ち上がらなければならない。そのため、この BIOS は、5秒間隔で個々のハード・ドライブが立ち上がるよう実装されている。この、ハード・ドライブの起動を遅延させるために、SATA ハード・ドライブ電力ケーブルの、ピン11を NC（No Connection）にセットする。

9.4 System VRM Efficiency

The ODM supplies high efficiency VRMs for all other voltage regulators over 20W not defined in this specification. All voltage regulation modules over 20W have 91% efficiency over the 30% to 90% load range.

この仕様では定義されていないが、対象となる ODM は、20W 以上の全ての電圧レギュレータに対して高効率の VRM を供給する。20W 以上の全電圧レギュレーション・モジュールは、30% ~ 90%の負荷において、91% の効率を実現する。

9.5 Power On

The motherboard powers on upon application of power to the input connector. The use of a power button is not required. The motherboard always resumes operation upon restoration of power in a power failure event.

このマザーボードは、入力コネクタへの電力供給も開始する。したがって、電源ボタンは必要とされない。また、このマザーボードは停電などの後に、電力供給を復活させるための処理も行う。

10 I/O System

This section describes the motherboard's I/O features.

この Section では、マザーボードの I/O について説明しておく。

10.1 PCIe x16 Slot/Riser Card

Both the entry and efficient performance motherboards have one PCIe x16 slot, which holds an x16 PCIe signal from the CPU. The slot location and detailed dimensions are described in the mechanical DXF file. The motherboard also has a PCIe riser card so two full-height PCIe cards can be inserted horizontally and locked in position. Its form factor is 2x4.66 inches.

この entry board と efficient performance motherboard は、CPU からの x16 PCIe シグナルを持つ、PCIe x16 スロットを 1 つ持つ。このスロットのポジションとサイズに関する詳細な情報は、mechanical DXF ファイルで参照できる。さらに、このマザーボードは PCIe riser カードを持つため、2枚のfull-height PCIe カードを水平に差し込む、所定の位置に固定できる。そのフォームファクタは、2 x 4.66 inch である。

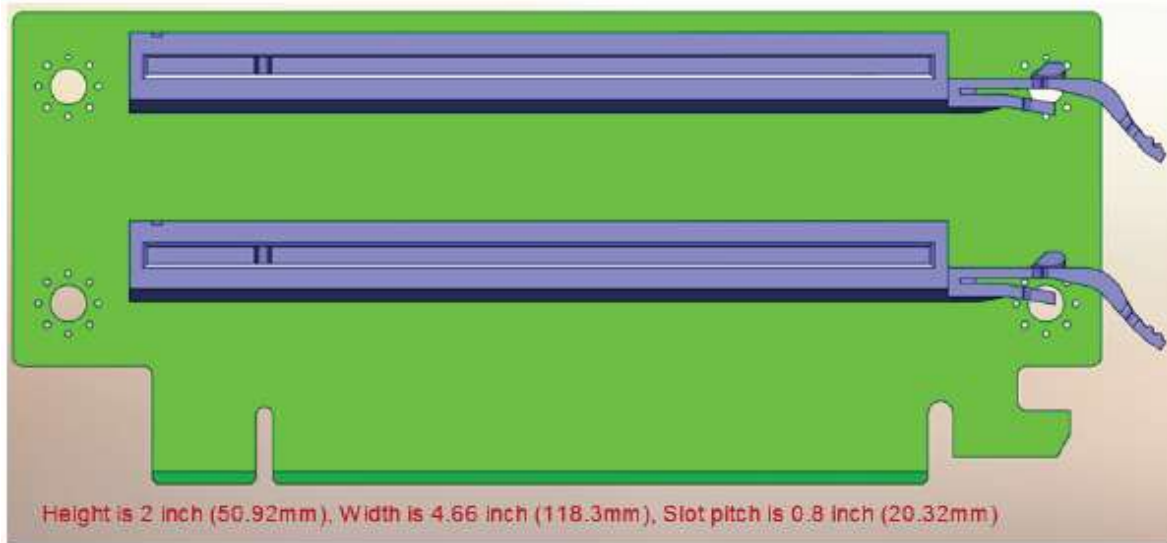


Figure 15 PCIe Riser Card

The reserved pins on the PCI-E x16 slot on the motherboard are described in Figure 16.

このマザーボード上の PCI - E x16 スロットにおけるリザーブ・ピンは、Figure 16 に示されている。

Pin	Pin Defined	Description
A7	LAN_SMB_CLK	SMBUS CLOCK from SMLINKo of PCH
A8	LAN_SMB_DAT	SMBUS DATA from SMLINKo of PCH
B12	LAN_SMB_ALERT_N	SMBUS Alert signal to SMLINKo of PCH
A32	CLK_100M_P	Extra 100MHz clock for second PCIe slot on riser card
A33	CLK_100M_N	
A50	SLOT0_CONFIG	Lower slot on riser card has 1x8 (high), 2 x4 (low)
B82	SLOT1_CONFIG	Higher slot on riser card has 1x8 (high), 2 x4 (low)
B17	SLOT1_CPRSNT1_N	CPRSNT1# for SLOT1 on PCIe riser card
B31	SLOT1_CPRSNT2_N	CPRSNT2# for SLOT1 on PCIe riser card
B48	SLOT0_CPRSNT1_N	CPRSNT1# for SLOT0 on PCIe riser card
B81	SLOT0_CPRSNT2_N	CPRSNT2# for SLOT0 on PCIe riser card

Figure 16 PCIe x16 Slot Reserved Pin Usage on Motherboard

The reserved pins on the PCIe x16 slot 0 (low) on the riser card are described in Figure 17.

Riser カード上の PCIe x16 スロット 0 (low) のリザーブ・ピンは、Figure 17 で参照できる。

Pins	Pin Defined	Description
A32	LAN_SMB_CLK	SMBUS clock from SMLINKo of PCH
A33	LAN_SMB_DAT	SMBUS data from SMLINKo of PCH
A50	LAN_SMB_ALERT_N	SMBUS alert signal to SMLINKo of PCH
B48	SLOT0_CPRSNT1_N	CPRSNT1# for SLOT0 on PCIe riser card
B81	SLOT0_CPRSNT2_N	CPRSNT2# for SLOT0 on PCIe riser card

Figure 17 PCIe x16 Slot 0 (Low) Reserved Pin Usage on Riser Card

The reserved pins on the PCIe x16 slot 1 (high) on riser card are described in Figure 18.

Riser カード上の PCIe x16 スロット 1 (high) のリザーブ・ピンは、Figure 18 で参照できる。

Pin	Pin Defined	Description
A32	LAN_SMB_CLK	SMBUS clock from SMLINKo of PCH
A33	LAN_SMB_DAT	SMBUS data from SMLINKo of PCH
A50	LAN_SMB_ALERT_N	SMBUS alert signal to SMLINKo of PCH
B17	SLOT1_CPRSNT1_N	CPRSNT1# for SLOT1 on PCIe riser card
B31	SLOT1_CPRSNT2_N	CPRSNT2# for SLOT1 on PCIe riser card

Figure 18 PCIe x16 Slot 1 (High) Reserved Pin Usage on Riser Card

To support OOB LAN access on the platform controller hub's management engine, a customized PCIe card is needed to use these redefined reserved pins.

このプラットフォーム・コントローラー・ハブの、マネージメント・エンジンで OOB LAN アクセスをサポートするには、それらの再定義されたリザーブ・ピンを使用するために、カスタマイズされた PCIe カードが必要となる。

10.2 PCIe External Connector

The motherboard has two PCIe x4 external connectors on the efficient performance motherboard and one PCIe x4 external connector on the entry board. These connectors can be used to build a PCIe connection between two systems.

このマザーボードは、efficient performance motherboard 上に 2つの PCIe x4 外部コネクタを、そして entry board 上に 1つの PCIe x4 外部コネクタを持つ。これらのコネクタは、2つのシステム間で PCIe 接続を構築するために使用できる。

The PCIe x4 connector can be hot inserted and removed. A PCIe re-driver is used for PCIe external links and supports a miniSAS cable up to 2 meters long.

この PCIe x4 コネクタは、電源を落とすこと無く脱着できる。 PCIe re-driver が、PCIe 外部リンクおよび、最長で 2メートルのminiSAS ケーブルのために使用される。

The connector is a miniSAS-4i right-angle connector. External PCI Express target device is TBD. Figure 19 shows the external PCIe pin assignments. The design follows the PCI Express External Cabling 1.0 Specification

このコネクタは、miniSAS-4i 直角コネクタとなる。外部 PCI Express ターゲット・デバイスは、TBD である。Figure 19 は、外部 PCIe ピンの割り当てを示す。このデザインは、PCI Express External Cabling 1.0 Specification にしたがうものとする。

(http://www.pcisig.com/members/downloads/specifications/pciexpress/PCI_Express_External_Cabling_Rev1.0_updated.pdf).

Pin Numbers	Signals	Description
A2/A3, A5/A6, A13/A14, A16/A17	PER _{0..3} _{P/N}	Differential PCI Express receiver lanes
A1, A4, A7, A12, A15, A18	GND	Ground reference for Differential PCI Express lanes
A8	CPRSNT#	Cable installed/downstream subsystem powered up
A9	CPWRON	Upstream subsystem's power valid notification
A10	CWAKE#	Power management signal for wakeup events (optional)
A11	CPERST#	Cable PERST#
B2/B3, B5/B6, B13/B14, B16/B17	PET _{0..3} _{P/N}	Differential PCI Express transmitter lanes
B1, B4, B7, B12, B15, B18	GND	Ground reference for Differential PCI Express lanes
B8	SCLK/TX	SMBUS (PCH SMLINK ₀) CLOCK (optional UART TX from SIO)
B9	SDATA/RX	SMBUS (PCH SMLINK ₀) DATA (optional UART RX from SIO)
B10	3.3V/SYS_RST#	3.3V standby with 0 ohm in series (Reset signal to trigger system reset)
B11	SB_RTN	Signal return for single-ended sideband signals

Figure 19 External PCIe Pin Assignments

10.3 PCIe Mezzanine Card

The motherboard has one PCIe x8 mezzanine card connector that holds the x8 PCIe signal from cpu0 on both the entry and the efficient performance motherboards. The mezzanine card has two PCIe x4 external connectors (miniSAS) and one mSATA miniPCIe connector.

このマザーボードは、entry board と efficient performance motherboards 上の cpu0 からの、x8 PCIe シグナルを保持する、PCIe x8 mezzanine（中二階）カード・コネクタを1つ持つ。この

mezzanine カードは、2つの PCIe x4 外部コネクタ（miniSAS）と、1つの mSATA miniPCIe コネクタを持つ。

Pin Name	Pin	Pin	Pin Name	Pin Name	Pin	Pin	Pin Name
P12V	61	1	MEZZ_PRSENT1_N	GND	91	31	MEZZ_RX_DN<0>
P12V	62	2	P5V_AUX	MEZZ_TX_DP_C<1>	92	32	GND
P12V	63	3	P5V_AUX	MEZZ_TX_DN_C<1>	93	33	GND
GND	64	4	P5V_AUX	GND	94	34	MEZZ_RX_DP<1>
GND	65	5	GND	GND	95	35	MEZZ_RX_DN<1>

							<1>
P3V3_AUX	66	6	GND	MEZZ_TX_DP_C <2>	96	36	GND
GND	67	7	P3V3_AUX	MEZZ_TX_DN_ C<2>	97	37	GND
GND	68	8	GND	GND	98	38	MEZZ_RX_DP <2>
P3V3	69	9	GND	GND	99	39	MEZZ_RX_DN <2>
P3V3	70	10	P3V3	MEZZ_TX_DP_C <3>	100	40	GND
P3V3	71	11	P3V3	MEZZ_TX_DN_ C<3>	101	41	GND
P3V3	72	12	P3V3	GND	102	42	MEZZ_RX_DP <3>
GND	73	13	P3V3	GND	103	43	MEZZ_RX_DN <3>
LAN_3V3STB_A LERT_N	74	14	MEZZ_CPRSNT1_ N	MEZZ_TX_DP_C <4>	104	44	GND
SMB_LAN_3V3 STB_CLK	75	15	MEZZ_CPRSNT2_ N	MEZZ_TX_DN_ C<4>	105	45	GND
SMB_LAN_3V3 STB_DAT	76	16	SSD_PRSENT_N	GND	106	46	MEZZ_RX_DP <4>
PCIE_WAKE_N	77	17	RST_PLT_MEZZ_N	GND	107	47	MEZZ_RX_DN <4>
DA_DSS	78	18	MEZZ_SMCLK	MEZZ_TX_DP_C <5>	108	48	GND
GND	79	19	MEZZ_SMDATA	MEZZ_TX_DN_ C<5>	109	49	GND
SATA_TX+	80	20	GND	GND	110	50	MEZZ_RX_DP <5>
SATA_TX-	81	21	GND	GND	111	51	MEZZ_RX_DN <5>
GND	82	22	SATA_RX+	MEZZ_TX_DP_C <6>	112	52	GND
GND	83	23	SATA_RX-	MEZZ_TX_DN_ C<6>	113	53	GND
CLK_100M_ME ZZ2_DP	84	24	GND	GND	114	54	MEZZ_RX_DP <6>
CLK_100M_ME ZZ2_DN	85	25	GND	GND	115	55	MEZZ_RX_DN <6>
GND	86	26	CLK_100M_MEZZ 1_DP	MEZZ_TX_DP_C <7>	116	56	GND
GND	87	27	CLK_100M_MEZZ 1_DN	MEZZ_TX_DN_ C<7>	117	57	GND
MEZZ_TX_DP_ C<0>	88	28	GND	GND	118	58	MEZZ_RX_DP <7>
MEZZ_TX_DN_ C<0>	89	29	GND	GND	119	59	MEZZ_RX_DN <7>

<0>							<7>
GND	90	30	MEZZ_RX_DP<0>	MEZZ_PRSENT2_ N	120	60	GND

Figure 20 PCIe Mezzanine Card Connector Pin Definition

10.4 DIMM Connector

The motherboard uses a 30u" gold contact for the DDR3 DIMM connector.

このマザーボードは、DDR3 DIMM コネクタに対して、30u" の金接点を使う。

10.5 Network

The motherboard has an IntelR 82574L Ethernet interface to the front RJ45 connector. It has a PCIe x1 lane routed to the PCH.

このマザーボードは、フロント RJ45 コネクタに Intel 82574L Ethernet インタフェースを持つ。そして、PCH にルーティングされる PCIe x1 レーンを持つ。

The motherboard has an IntelR I350 dual port network chip. It has a single Ethernet interface to the front RJ45 connector. It has PCIe x2 lanes routed to the PCH on entry board, while it has PCIe x4 lanes routed to the PCH on efficient performance board.

このマザーボードは、Intel I350 デュアル・ポート・ネットワーク・チップを持つ。そして、フロント RJ45 コネクタに Ethernet インタフェースを持つ。そこでは、PCIe x2 レーンが entry board の PCH にルーティングされ、また、PCIe x4 レーンが efficient performance board 上の PCH にルーティングされる。

The BIOS supports PXE boot on all RJ45 ports on the motherboard.

BIOS に関しては、このマザーボード上の全 RJ45 ポートで PXE ブートをサポートする。

Each RJ45 connector has two built-in LEDs. While facing the RJ45 connector, the left LED is green single color; solid on means the link is active and blinking means activity. The right LED is green/yellow dual color; green means 100M link speed while yellow means 1000M link speed.

それぞれの RJ45 コネクタは、2つの ビルトイン LED を持つ。RJ45 コネクタを確認する際だが、左側の LED がグリーン・シグナルであり、点灯は Acvite を示し、点滅は Activity を示す。右側の LED は緑／黄の二色であり、緑は 100M リンクスピードを示すが、黄色は 1000M リンク・スピードを示す。

10.5.1 Reboot on WOL in S0 State

Reboot on WOL (ROW) is a feature that repurposes the traditional Wake on LAN (WOL) signal to reboot the motherboard. While the system is in S0 state (running), when a WOL packet is received by the NIC, the wakeup signal generated by the NIC causes a hardware reboot of the motherboard. This is accomplished by tying the WOL interrupt pin of the NIC to the system's master reboot signal. ROW does not require the power supply to cycle its output.

WOL (ROW) でのリブートは、このマザーボードをリブートする LAN (WOL) シグナルにおける、従来からの Wake を別目的で使用する。対象システムが S0 state (running) であっても、WOL パケットが NIC に受信されると、このマザーボードをハードウェア・リブートする wakeup シグナルが、NIC により生成される。この処理は、NIC の WOL 割り込みピンが、システムのマスター・リブート・シグナルと組み合わせられることで達成される。また、ROW は、周期的な出力のために、電力供給を要求することはない。

There is an optional ROW connection for the WAKE# signal from PCIe slot and external PCIe connector, which gives optional ROW support for add-in cards and external PCIe devices.

PCIe のスロットと外部 PCIe コネクタからの、WAKE# シグナルのためのオプション ROW 接続がある。それにより、アドイン・カードと外部 PCIe デバイスのための、オプション ROWA がサポートされる。

ROW is enabled by the NIC EEPROM, so the appropriate NIC EEPROM for the 82574 and I350 interface must be used. The motherboard also supports ROW on both the PCIe LAN card and the mezzanine LAN card, which includes hardware circuit support and NIC EEPROM enabling.

この ROW は NIC EEPROM により実現されるため、82574 および I350 インタフェースのための、適切な NIC EEPROM を使用する必要がある。さらに、このマザーボードは、PCIe LAN カードと mezzanine LAN カード ROW をサポートするが、ハードウェア回路サポートと NIC EEPROM への対応も含まれる。

10.6 USB Interfaces

The motherboard has two external USB ports located in the front of the motherboard. The BIOS supports the following USB devices:

このマザーボードは、フロントに配置された、2つの外部 USB ポートを持つ。そして、BIOS により、以下の USB デバイスがサポートされる：

- Keyboard and mouse
- USB flash drive (bootable)
- USB hard drive (bootable)
- USB optical drive (bootable)

10.7 SATA

The motherboard has a next generation Intel® platform controller hub on board and supports the SATA ports and the miniSAS connectors. The HDDs attached to all the SATA connectors follow the spin-up delay described in section 9.3.3.

このマザーボードは、次世代 Intel プラットフォーム・コントローラー・ハブを持ち、SATA ポートと miniSAS コネクタをサポートする。すべての SATA コネクタに取り付けられた HDD は、Section 9.3.3 で記述したように、時間差をもって起動される。

10.8 Debug Header

The motherboard includes a debug header on the front of the motherboard to display POST codes (see 10.8.1). The debug header supports hot plugging.

このマザーボードは、POST コードを表示するために、そのフロントにデバッグ・ヘッダーを取り込む（10.8.1を参照）。このデバッグ・ヘッダーは、ホット・プラグインをサポートする。

The debug card has two 7-segment LED displays, one RS-232 serial connector, and one reset switch. The RS-232 serial port provides console redirection. The two 7-segment LED displays show BIOS POST code and DIMM error information. The reset switch triggers a system reset when pressed.

このデバッグ・カードは、2つの 7セグメント LED を持つが、1つは RS-232 シリアル・コネクタのためであり、もう 1つはリセット・スイッチのためとなる。この RS-232 シリアル・ポートは、コンソールへのリダイレクションを提供する。この、2つの 7セグメント LED は、BIOS POST コードと、DIMM エラー情報を表示する。そして、リセット・スイッチを押すことで、システムはリセットされる。

The connector for the debug header is a 14-pin, shrouded, vertical, 2mm pitch connector. Figure 21 is an illustration of the headers. The debug card has a key to match with the notch to avoid pin shift when plugging it in.

この、デバッグ・ヘッダーのためのコネクタは、覆い付きの 14ピンで、垂直 2mm ピッチ・コネクタとなる。Figure 21 に、このヘッダーを示す。このデバッグ・カードは、プラグイン時のピン・シフトを避けるため、ノッチに組み合わされるべきキーを持つ。

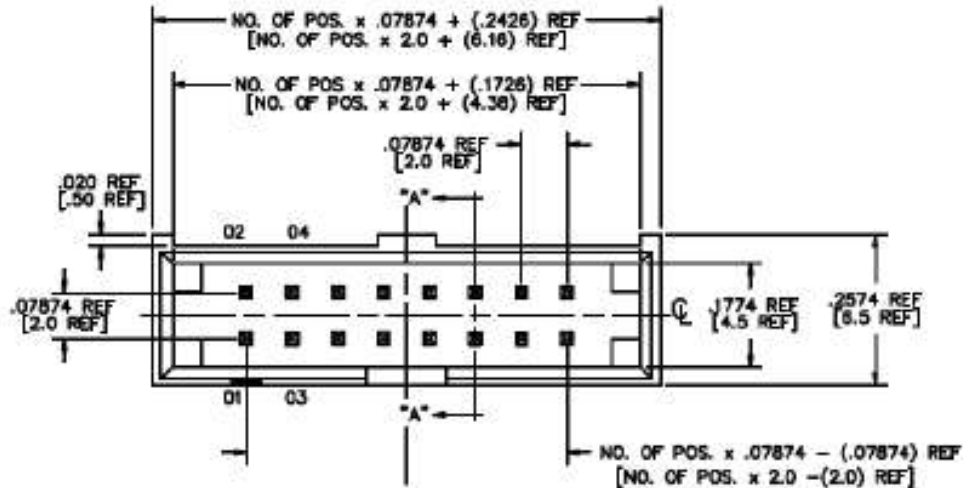


Figure 21 Debug Header

Pin (CKT)	Function
1	Low HEX character [0] least significant bit
2	Low HEX character [1]
3	Low HEX character [2]
4	Low HEX character [3] most significant bit
5	High HEX character [0] least significant bit
6	High HEX character [1]
7	High HEX character [2]
8	High HEX character [3] most significant bit
9	Serial transmit (motherboard transmit)
10	Serial receive (motherboard receive)
11	System reset
12	Serial console select (1=SOL; 0=local)
13	GND
14	VCC (+5VDC)

Figure 22 Debug Header Pin Definitions

10.8.1 Post Codes

POST codes are sent to the debug header in hexadecimal format via two hex codes. The hex codes can be driven by either the legacy parallel port (port 80) on the SIO, or 8 GPIO pins. During the boot sequence, the BIOS initializes and tests each DIMM. If a module fails initialization or does not pass the BIOS test, one of the following POST codes will flash on the debug card to indicate which DIMM has failed. The first hex character indicates which CPU interfaces the DIMM module; the second hex character indicates the number of the DIMM module. The BIOS flashes the corresponding hex code indefinitely to allow time for a technician to service the system. The DIMM number count starts from the DIMM furthest from the CPU.

デバッグ・ヘッダーには、2つの16進コードによる POST コードが送信される。この 16進コードは、SIO もしくは 8 GPIO ピン上の、レガシーなパラレルポート (port 80) に反応する。ブート・シーケンスの間に、この BIOS により、個々の DIMM のイニシャライズとテストが行なわれる。対象モジュールがイニシャライズが失敗する場合、あるいは、BIOS テストにパスしない場合には、デバッグ・カード上の POST コードの 1つが点灯し、DIMM の障害を知らせる。最初の 16進数は、DIMM モジュールとの CPU インタフェースを示し、2番目の 16進数は DIMM モジュール番号を示す。この BIOS は、技術者がシステムを点検修理するために、無期限の時間が提供されていることを示す、16進数のコードを点滅させる。なお、DIMM 番号のカウントは、CPU から最も遠い DIMM から始まる。

10.8.2 Serial Console

The output stage of the system's serial console is contained on the debug card. The TX and RX signals from the SIO are sent to the debug header at the chip's logic levels (+3.3V).

The debug card contains the RS-232 level shifter and the RS-232 D-9 connector.

システムのシグナル・コンソールのアウトプット・ステージは、デバッグ・カードに含まれる。SIO から送られる TX と RX のシグナルは、チップのロジックレベル (+ 3.3V) でデバッグ・ヘッダーに送信される。このデバッグ・カードには、RS-232レベル・シフターと RS-232D-9 コネクタが含まれる。

By default, the host does console redirection through serial over LAN (SOL). When the debug card is connected, debug card pin 12 is used to select console redirection between SOL and the local serial port on the card, as described in Figure 22.

デフォルトにおいて、このホストは Serial Over LAN (SOL) を介して、コンソール・リダイレクションを行う。Figure 22 に示すように、このデバッグ・カードが接続されるとき、SOL とカード上のローカル・シリアル・ポートの間で、コンソール・リダイレクションを選択するために、ピン 12 が用いられる。

10.9 Switches and LEDs

The motherboard includes a power switch, reset switch, power LED, HDD activity LED, and beep error LED.

このマザーボードは、電源スイッチ／リセット・スイッチ／電源LED／HDD Activity LED／ビープ・エラー LED を含む。

10.9.1 Switches

The front edge of the PCB has right angle pushbutton switches. One switch is used as the system's power button the second switch is used at the system's reset button.

PCB のフロント・エッジには、直角のプッシュ・ボタン・スイッチが付く。最初のスイッチは、システムの電源ボタンとして使用される。2番目のスイッチは、システムのリセット・ボタンとして使われる。

Note: If the ODM chooses to use smaller tactile switches, the push button actuator must be a minimum 2.5mm diameter and protrude at least 1.5mm from the switch's enclosure.

この ODM において、より小さいスイッチが選ばれるなら、プッシュ・ボタン式の騒動装置は最小で 2.5mm の直径を持ち、また、スイッチの囲いから少なくとも 1.5mm は突出しなければならない。

Note:

If the power switch is depressed for less than four seconds, a power management event is issued, indicating that the power switch has been triggered. If the power switch is depressed for more than four seconds, the motherboard performs a hard power off.

このスイッチの押下が 4 秒以内の場合には、電源スイッチにトリガーがかかったという、電源マネジメント・イベントが発行される。また、スイッチの押下が 4 秒以上の場合には、マザーボードはハード的に電源を落とす。

If the reset switch is depressed for any length of time, the motherboard performs a hard reset and begins executing the BIOS initialization code.

リセット・スイッチが押下される場合には、その時間の長さにかかわらず、マザーボードはハードウェア・リセットを実施し、また、BIOS initialization コードを実行し始める。

Each switch is identified by a label on the motherboard's silkscreen. The power button is labeled PWR and the reset button is labeled RST.

それぞれのスイッチは、マザーボード上のシルクスクリーン・ラベルにより識別される。電源ボタンのラベルは PWR となり、リセット・ボタンは RST となる。

10.9.2 LEDs

The motherboard has 3 LEDs on the front edge. Figure 23 identifies each LED's color, function, and silkscreen label. The label describes the functionality of each LED.

このマザーボードは、フロント・エッジに 3 つの LED を持つ。Figure 23 では、それぞれの LED の、カラー／機能／シルク・スクリーン・ラベルが識別される。このラベルは、個々の LED における機能を示す。

LED Color	Function	Silkscreen Label
Blue	Power LED. This LED has the same functionality of a traditional PC power LED. It illuminates only if the motherboard is in the powered on state.	PWR
Green	Hard drive activity. This LED illuminates when there is activity on the motherboard's SATA hard drive interfaces.	HDD
Yellow	This LED replaces the functionality of the PC speaker. The motherboard causes the LED to illuminate for the same duration and sequence as the PC speaker would normally beep. The LED allows for easier diagnosis in a noisy data center environment.	BEEP

Figure 23 LED Functionality

The beep error LED patterns are described in Figure 24.

ビープ・エラーの LED パターンは、Figure 24 に示される。

Error Description	LED Patterns						
Memory refresh timer error	On (2s)	Off (0.25s)	On (2s)	Off (0.25s)	On (2s)	Off (3s)	...(repeat)
Base memory read/write test error	On (2s)	Off (0.25s)	On (2s)	Off (0.25s)	On (0.25s)	Off (3s)	...(repeat)
Keyboard controller BAT test error	On (0.25s)	Off (0.25s)	On (0.25s)	Off (0.25s)	On (2s)		
General exception error	On (2s)	Off (0.25s)	On (0.25s)	Off (0.25s)	On (0.25s)	Off (3s)	...(repeat)
Display memory error	On (0.25s)	Off (0.25s)	On (0.25s)	Off (0.25s)	On (0.25s)		

Figure 24 Beep Error LED Patterns

11 Mechanical

Figure 25 shows the basic view of the Open Compute Project server chassis. Refer to mechanical step file provided for detailed information.

Figure 25 が示すのは、Open Compute Project サーバー・シャーシの基本的な形である。詳細情報を提供する、Mechanical Step ファイルを参照して欲しい。

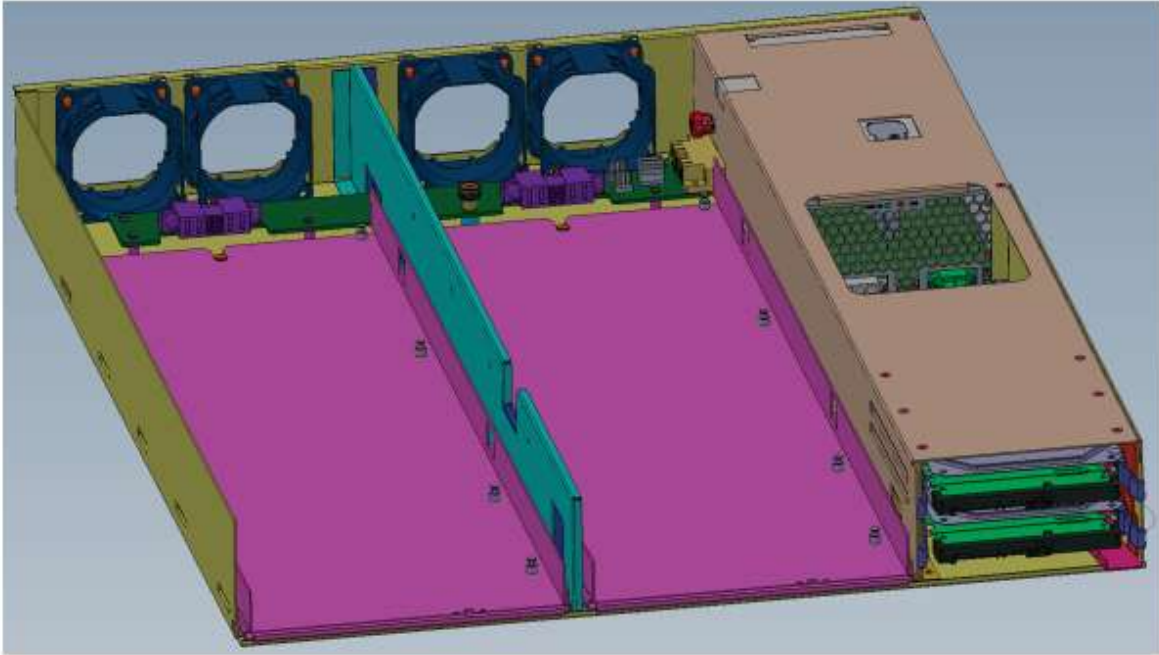


Figure 25 Open Compute Project Server Chassis for Intel Motherboards

11.1 Fixed Locations

Refer to the mechanical DXF file for fixed locations of the mounting hole, PCIe x16 slot, and power connector.

マウント・ホールや、PCIe x16 スロット、電源コネクタの固定位置については、mechanical DXF ファイルを参照して欲しい。

11.2 PCB Thickness

To ensure proper alignment of the FCI power connector and mounting within the mechanical enclosure, the boards should follow the PCB stackups described in sections 4.5 and 5.5 respectively and have 85mil (2.16mm) thickness. The mid-plane PCB thickness is also 85mil (2.16mm). The mezzanine card PCB thickness is 62mil (≈ 1.6 mm).

FCI 電源コネクタの位置および、機械的なエンクロージャー内への適切な配置を保証するために、Section 4.5 と 5.5 に記載されるで記述されるPCB stackup に従い、このボードは 85mil (2.16 mm) の厚さを持つべきである。そして、mid-plane PCB の厚さも 85mil (2.16mm) である。さらに、mezzanine card PCB の厚さは、62mil (≈ 1.6 mm) となる。

11.3 Heat Sinks

The motherboard supports customized CPU heat sinks that are mounted according to the Intel specifications. The mounting device employs a backplate and receptacles for screw-down type heat sinks. The ODM must provide all keep out zones defined by Intel to ensure the heat sinks mount correctly on the board.

このマザーボードにマウントされる、カスタマイズされた CPU ヒートシンクは、Intel 仕様によるものである。このデバイスをマウントするために、screw-down タイプのヒートシンク用の、backplate と receptacle を使う。この ODM は、ボード上にヒートシンクを正確にマウントするために、Intel が定義した、すべての空間を提供しなくてはならない。

11.4 Silkscreen

The silkscreen is white in color and includes labels for these components:

対象となるシルクス・クリーンのカラーは白であり、以下のコンポーネントのためのラベルを含む：

- cpu0/cpu1
- eth0/eth1
- DIMM slot numbering, as described in 10.8.1
- LEDs, as defined in 10.9.2
- Switches, as defined in 10.9.1

11.5 DIMM Connector Color

Colored DIMM connectors indicate the first DIMM of each memory channel, whereas the remaining DIMM connectors on the same memory channel are a different color. The first DIMM on each channel is defined as the DIMM placed physically furthest from its associated CPU. This DIMM connector must be populated first when memory is only partially populated.

色付けされた DIMM コネクタが、それぞれのメモリ・チャネルの最初の DIMM を示すのに対して、同じメモリチャネルにおける他の DIMM コネクタは異なる色を持つ。それぞれのチャネル上の最初の DIMM は、組み合わされる CPU から、物理的に最も離れた位置に置かれた DIMM と定義される。また、メモリが段階的に加えられる場合には、この DIMM コネクタを最初に配置する必要がある。

12 Environmental Requirements

The motherboard meets the following environmental requirements:

このマザーボードは、以下の環境要件に一致する必要がある：

- Gaseous Contamination: Severity Level G1 per ANSI/ISA 71.04-1985
- Ambient operating temperature range: -5°C to +45°C
- Operating and storage relative humidity: 10% to 90% (non-condensing)
- Storage temperature range: -40°C to +70°C
- Transportation temperature range: -55°C to +85°C (short-term storage)

The full OCP system also meets these requirements. In addition, the full system has an operating altitude with no de-ratings of 1000m (3300 feet).

さらに、フル OCP システムは、この必要条件を満たす。それは、フル・システムにおいては、海拔 1000m (3300 feet) の高地においても、すべての評価項目が達成されることである。

12.1 Vibration and Shock

The motherboard meets shock and vibration requirements according to the following IEC specifications: IEC78-2-(*) and IEC721-3-(*) Standard & Levels. The testing requirements are listed in Figure 26.

このマザーボードは、IEC 仕様である IEC78-2-(*) と IEC721-3-(*) Standard & Levels で定義された、対衝撃と対振動の要件を満たす。そのテストにおける要件を、Figure 26 にリストアップする。

	Operating	Non-Operating
Vibration	0.5g acceleration, 1.5mm amplitude, 5 to 500 Hz, 10 sweeps at 1 octave / minute for each of the three axes (one sweep is 5 to 500 to 5 Hz)	1g acceleration, 3mm amplitude, 5 to 500 Hz, 10 sweeps at 1 octave / minute for each of the three axes (one sweep is 5 to 500 to 5 Hz)
Shock	6g, half-sine 11ms, 5 shocks for each of the three axes	12g, half-sine 11ms, 10 shocks for each of the three axes

Figure 26 Vibration and Shock Requirements

13 Prescribed Materials

13.1 Disallowed Components

The following components are not used in the design of the motherboard:

以下のコンポーネントは、このマザーボードのデザインにおいて使用してはならない：

- Components disallowed by the European Union's Restriction of Hazardous Substances Directive (RoHS 6)
- Trimmers and/or potentiometers
- Dip switches

13.2 Capacitors and Inductors

The following limitations apply to the use of capacitors:

静電容量の問題のため、以下の制限が適用される：

- Only aluminum organic polymer capacitors made by high quality manufacturers are used; they must be rated 105C
- All capacitors have a predicted life of at least 50,000 hours at 45C inlet air temperature, under worst conditions
- Tantalum capacitors are forbidden
- SMT ceramic capacitors with case size > 1206 are forbidden (size 1206 are still allowed when installed far from the PCB edge and with a correct orientation that minimizes risks of cracks)
- Ceramic material for SMT capacitors must be X7R or better material (COG or NP0 type should be used in critical portions of the design)

Only SMT inductors may be used. The use of through hole inductors is disallowed.

SMT インダクターだけが、使われるだろう。また、through hole inductor の使用は認められない。

13.3 Component De-rating

For inductors, capacitors, and FETs, de-rating analysis should be based on at least 20% de-rating.

インダクター／コンデンサー／FET における de-rating 分析は、少なくとも 20% の de-rating をベースにすべきである。